

Docket No.: 61282-063

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277

Minoru ITOH : Confirmation Number:

Serial No.: : Group Art Unit:

Filed: February 23, 2003 : Examiner:

For: D/A CONVERTING DEVICE WITH OFFSET COMPENSATION FUNCTION AND OFFSET  
COMPENSATION METHOD FOR D/A CONVERTING DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

**Japanese Patent Application No. JP 2003-165307, filed on June 10, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gav  
Facsimile: (202) 756-8087  
**Date: February 23, 2004**

61282-063

Minoru ITOH

February 23, 2004

*McDermott, Will & Emery*

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 6 月 1 0 日

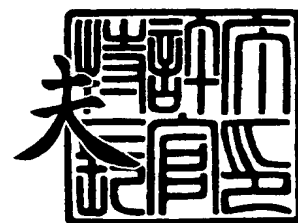
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 1 6 5 3 0 7  
[ST. 10/C]: [ J P 2 0 0 3 - 1 6 5 3 0 7 ]

出 願 人  
Applicant(s): 松 下 電 器 産 業 株 式 会 社

2 0 0 3 年 9 月 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 3 4 2 0



【書類名】 特許願

【整理番号】 5037950030

【提出日】 平成15年 6月10日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/06

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 伊藤 稔

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100105647

    【弁理士】

    【氏名又は名称】 小栗 昌平

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100105474

    【弁理士】

    【氏名又は名称】 本多 弘徳

    【電話番号】 03-5561-3990

【選任した代理人】

    【識別番号】 100108589

    【弁理士】

    【氏名又は名称】 市川 利光

    【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 オフセット補償機能付き D/A 変換装置および D/A 変換装置のオフセット補償方法

【特許請求の範囲】

【請求項 1】 D/A 変換器の DC オフセットを補償するオフセット補償機能付き D/A 変換装置であって、

前記 D/A 変換器の DC オフセットを検出するコンパレータと、

少なくとも一方が前記 D/A 変換器の出力信号である第 1 および第 2 の信号をそれぞれ、前記コンパレータの第 1 および第 2 の入力端子に入力させる第 1 の入力モードと、前記第 2 および第 1 の信号をそれぞれ、前記コンパレータの第 1 および第 2 の入力端子に入力させる第 2 の入力モードとを選択するための切替スイッチと、

前記第 1 の入力モードであるときに、前記コンパレータの出力信号に基づいて求めた第 1 の補償値と、前記第 2 の入力モードであるときに、前記コンパレータの出力信号に基づいて求めた第 2 の補償値とから第 3 の補償値を求めるオフセット補償手段と、

前記第 3 の補償値に基づいて前記 D/A 変換器の出力信号を補正するオフセット補償 D/A 変換器と、

を有するオフセット補償機能付き D/A 変換装置。

【請求項 2】 請求項 1 記載のオフセット補償機能付き D/A 変換装置であって、

前記オフセット補償手段は、前記第 2 の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいて求めた前記第 2 の補償値と、前記第 1 の補償値との平均をとることで前記第 3 の補償値を求めるオフセット補償機能付き D/A 変換装置。

【請求項 3】 請求項 1 記載のオフセット補償機能付き D/A 変換装置であって、

前記オフセット補償手段は、前記第 1 の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいて求めた第 1 の補償値と、前記

第2の補償値との平均をとることで前記第3の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項4】 請求項1記載のオフセット補償機能付きD/A変換装置であって、

前記オフセット補償手段は、前記第1の補償値と前記第2の補償値との差分値を2で割ることで前記第3の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項5】 請求項1記載のオフセット補償機能付きD/A変換装置であって、

前記オフセット補償手段は、前記第1および前記第2の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいて求めたそれぞれ第1の補償値と第2の補償値との差分値を2で割ることで前記第3の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項6】 請求項1から5のいずれか一項記載のオフセット補償機能付きD/A変換装置であって、

前記D/A変換器は、位相が反転した2系統のアナログ信号を出力する差動出力タイプであり、

前記第1および第2の信号は、前記D/A変換器から出力される2系統のアナログ信号であるオフセット補償機能付きD/A変換装置。

【請求項7】 請求項1から5のいずれか一項記載のオフセット補償機能付きD/A変換装置であって、

前記D/A変換器は、シングル出力タイプであり、

前記第1および第2の信号は、一方が前記D/A変換器の出力信号であり、他方が所定の基準電圧であるオフセット補償機能付きD/A変換装置。

【請求項8】 請求項1から7のいずれか一項記載のオフセット補償機能付きD/A変換装置であって、

前記オフセット補償手段は、逐次比較法を用いて前記第1および第2の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項9】 請求項8記載のオフセット補償機能付きD/A変換装置であ

って、

前記オフセット補償手段は、前記オフセット補償D/A変換器の入力データを1ビットずつ変化させて前記第1および第2の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項10】 請求項8記載のオフセット補償機能付きD/A変換装置であって、

前記オフセット補償手段は、バイナリーサーチによる逐次比較法を用いて前記第1および第2の補償値を求めるオフセット補償機能付きD/A変換装置。

【請求項11】 請求項10記載のオフセット補償機能付きD/A変換装置であって、

前記オフセット補償手段は、前記第1および第2の補償値の最下位ビットが0である場合は、前記第1および第2の補償値に $1/2$ を加え、前記第1および第2の補償値の最下位ビットが1である場合は、前記第1および第2の補償値から $1/2$ を引くオフセット補償機能付きD/A変換装置。

【請求項12】 請求項1から11のいずれか一項記載のオフセット補償機能付きD/A変換装置を搭載したLSI。

【請求項13】 D/A変換器のDCオフセットをコンパレータを用いて検出し、前記D/A変換器のDCオフセットを補償するD/A変換装置のオフセット補償方法であって、

少なくとも一方が前記D/A変換器の出力信号である第1および第2の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第1の入力モードであるときに、前記コンパレータの出力信号に基づいて第1の補償値を求めるステップと、

前記第2および第1の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第2の入力モードであるときに、前記コンパレータの出力信号に基づいて第2の補償値を求めるステップと、

前記第1の補償値と前記第2の補償値とから第3の補償値を求めるステップと

前記第3の補償値に対応するアナログ出力で前記D/A変換器のアナログ出力

を補正するステップと、  
を有する D/A 変換装置のオフセット補償方法。

【請求項 14】 請求項 13 記載の D/A 変換装置のオフセット補償方法であって、

前記第 2 の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいて求めた第 2 の補償値と前記第 1 の補償値との平均をとることで前記第 3 の補償値を求めるステップを有する D/A 変換装置のオフセット補償方法。

【請求項 15】 請求項 13 記載の D/A 変換装置のオフセット補償方法であって、

前記第 1 の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいて求めた第 1 の補償値と前記第 2 の補償値との平均をとることで前記第 3 の補償値を求めるステップを有する D/A 変換装置のオフセット補償方法。

【請求項 16】 請求項 13 記載の D/A 変換装置のオフセット補償方法であって、

前記第 1 の補償値と前記第 2 の補償値の差分値を 2 で割ることで前記第 3 の補償値を求めるステップと、  
を有する D/A 変換装置のオフセット補償方法。

【請求項 17】 請求項 13 記載の D/A 変換装置のオフセット補償方法であって、

前記第 1 および第 2 の入力モードであるときに、前記コンパレータの出力信号に対して反転した信号に基づいてそれぞれ第 1 の補償値および第 2 の補償値を求めるステップと、

前記第 1 の補償値と前記第 2 の補償値の差分値を 2 で割ることで前記第 3 の補償値を求めるステップと、  
を有する D/A 変換装置のオフセット補償方法。

【請求項 18】 請求項 1 から 12 のいずれか一項記載のオフセット補償機能付き D/A 変換装置を用いたアナログ信号出力装置。



**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、D/A変換器のDCオフセットを補償するオフセット補償機能付きD/A変換装置およびD/A変換装置のオフセット補償方法に関する。

**【0002】****【従来の技術】**

デジタル無線通信機では、デジタル変調されたI（正相）、Q（直交）各々の信号をD/A変換して、無線電話の無線周波数部に結合し無線信号としてアンテナに送り出す。D/A変換器のアナログ出力電圧はデジタル入力値に対応する理想のアナログ出力電圧（DCオフセットを持たないアナログ出力電圧）と一致しているのが理想であるが、実際には種々の要因により、実際のアナログ出力電圧と理想のアナログ出力電圧との間にDCオフセットが生じる。

**【0003】**

差動出力タイプのD/A変換器の場合は、I信号、Q信号それぞれに対するD/A変換器の差動出力（I<sup>+</sup>とI<sup>-</sup>、またはQ<sup>+</sup>とQ<sup>-</sup>）間で、DCオフセットが発生する（つまり、D/A変換器の差動出力の入出力特性が異なっている）と、I、Qの各信号間の位相がずれて送信誤差となる。よって、D/A変換器の差動出力間DCオフセットをキャンセルして、D/A変換器の特性を揃える必要がある。

**【0004】**

D/A変換器の差動出力間DCオフセットをキャンセルするためには、まず、入力信号が存在しない状態であるテストモード時に、テスト用データに対するD/A変換器の差動出力間DCオフセットを測定する必要があり、このためにコンパレータ（電圧比較器）が用いられる。

**【0005】**

図14はオフセットを補償する従来例を示している。従来例において、コンパレータ50による電圧比較結果に基づいて得られる信号を、ロジック回路14において、バイナリサーチ法を用いて演算して補償値を求め、この補償値をレジ

スタ 26 に格納する。

【0006】

そして、レジスタ 26 に格納された補償値を基にしてオフセット補償 D/A 変換器 32 を介して得られるアナログ出力電圧を、メインの D/A 変換器 30 のアナログ出力電圧から引き、その信号をコンパレータ 50 に返す。以上のことを繰り返すことにより、D/A 変換器 30 の出力電圧と GND 間の DC オフセットを補償するための補償値（制御用のデータ）を求める。

【0007】

この補償値から  $(1/2)$  LSB を引いた補償値を基にしてオフセット補償 D/A 変換器 32 を介して得られるアナログ出力電圧を、メインの D/A 変換器 30 のアナログ出力電圧から差し引くことにより、D/A 変換器 30 の出力電圧と GND 間の DC オフセットをキャンセルする技術がある（例えば、特許文献 1 参照）。

【0008】

また、メインの D/A 変換器 30 のアナログ出力電圧とオフセット補償 D/A 変換器 32 を介して得られるアナログ出力電圧の合成方法を図 15 と図 16 に示す。図 15 は電流加算型 D/A 変換器 30、32 の場合を示し、図 16 は抵抗ストリング型 D/A 変換器 30、32 の場合を示す。

【0009】

【特許文献 1】

米国特許第 6313769 号明細書（FIG. 1、FIG. 4 など）

【0010】

【発明が解決しようとする課題】

しかしながら、実際には、シングル出力タイプの D/A 変換装置における D/A 変換器の DC オフセットを検出するコンパレータ、および差動出力タイプの D/A 変換装置における D/A 変換器の差動出力間 DC オフセットを検出するコンパレータにも DC オフセットが存在する。通常、コンパレータの DC オフセットは、数 mV 以内に収まるように設計される。

【0011】

ところが、本発明者の検討により、トランジスタサイズやLSIの製造プロセス条件のばらつき等に起因して、コンパレータ自体のDCオフセットが、20mV以上になる場合があることが確認されている。特に、トランジスタサイズを微細化していくと、コンパレータのDCオフセットは大きくなる傾向がある。

#### 【0012】

コンパレータがもつDCオフセットは、D/A変換器のDCオフセット（差動出力間DCオフセットを含む）を測定する際の誤差となる。よって、コンパレータ自体のDCオフセットが大きいと、正確な測定ができず、D/A変換器のDCオフセットの完全な除去ができない。

#### 【0013】

本発明はこのような課題を解決するものであり、コンパレータにDCオフセットが存在しても、D/A変換器のDCオフセットをほぼ完全に除去することができるオフセット補償機能付きD/A変換装置およびD/A変換装置のオフセット補償方法を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

本発明のオフセット補償機能付きD/A変換装置は、D/A変換器のDCオフセットを補償するオフセット補償機能付きD/A変換装置であって、前記D/A変換器のDCオフセットを検出するコンパレータと、少なくとも一方が前記D/A変換器の出力信号である第1および第2の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第1の入力モードと、前記第2および第1の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第2の入力モードとを選択するための切替スイッチと、前記第1の入力モードであるときに、前記コンパレータの出力信号に基づいて求めた第1の補償値と、前記第2の入力モードであるときに、前記コンパレータの出力信号に基づいて求めた第2の補償値とから第3の補償値を求めるオフセット補償手段と、前記第3の補償値に基づいて前記D/A変換器の出力信号を補正するオフセット補償D/A変換器とを有する。

#### 【0015】

本発明のD/A変換装置のオフセット補償方法は、D/A変換器のDCオフセットをコンパレータを用いて検出し、前記D/A変換器のDCオフセットを補償するD/A変換装置のオフセット補償方法であって、少なくとも一方が前記D/A変換器の出力信号である第1および第2の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第1の入力モードであるときに、前記コンパレータの出力信号に基づいて第1の補償値を求めるステップと、前記第2および第1の信号をそれぞれ、前記コンパレータの第1および第2の入力端子に入力させる第2の入力モードであるときに、前記コンパレータの出力信号に基づいて第2の補償値を求めるステップと、前記第1の補償値と前記第2の補償値とから第3の補償値を求めるステップと、前記第3の補償値に対応するアナログ出力で前記D/A変換器のアナログ出力を補正するステップとを有する。

#### 【0016】

上記構成によれば、コンパレータへの入力切替を行うことで、コンパレータ自体がもつDCオフセットと同じ値をもち、その極性が反転している電圧の情報を間接的に生成し、D/A変換器のオフセットを測定するときは、コンパレータ自体のDCオフセットを相殺してD/A変換器のDCオフセットの正確な測定が可能となる。

#### 【0017】

すなわち、コンパレータに入力する信号の切替を行うと、切替前に測定した第1の補償値においては、例えば、コンパレータ自体のDCオフセットがコンパレータに入力される2つの信号の差を拡大させる方向に作用していたものが、切替後に測定した第2の補償値においては、2つの信号の差を縮小させる方向に作用する。すなわち、切替前と切替後では、コンパレータ自体がもつDCオフセットの極性が反転する。一方、D/A変換器のDCオフセットは、コンパレータへの入力切替に関係なく同じ（極性も同じ）である。

#### 【0018】

従って、コンパレータへの入力切替前および入力切替後のそれぞれの測定信号に基づいて生成される第1および第2の補償値を加えると、実質的に、コンパレータ自体がもつDCオフセット成分は相殺され、一方、D/A変換器のDCオフ

セット成分は単純に2倍になる。よって、D/A変換器のDCオフセット成分を2で割る（平均をとる）ことで、コンパレータのDCオフセットを除去した正味のD/A変換器のオフセットに対する補償値を正確に算出することができる。

また、本発明は、D/A変換器が差動出力タイプ（変換出力のダイナミックレンジを拡大するために相補出力とするタイプ）である場合、あるいはシングル出力タイプである場合を問わずに適用することができる。

#### 【0019】

##### 【発明の実施の形態】

次に、本発明の実施の形態について、図面を参照して説明するが、以下の説明は本発明の範囲を限定する趣旨ではない。

#### 【0020】

##### （第1の実施形態）

図1から図4は、本発明の第1の実施形態におけるオフセット補償機能付きD/A変換装置の概略構成および動作を説明するためのブロック図であり、図5および図6は、コンパレータ自体のDCオフセットがキャンセルされる様子を説明するための図である。

#### 【0021】

まず、図1を用いて、オフセット補償機能付きD/A変換装置の概略構成を説明する。図示されるように、本実施形態のD/A変換装置は、オフセット補償値生成部10と、差動出力構成のメインD/A変換器30と、差動出力構成のオフセット補償D/A変換器32と、D/A変換器30の2対の差動出力電圧からオフセット補償D/A変換器32の2対の差動出力電圧を減算する信号合成部34および36と、アナログ（ローパス）フィルタ37および38と、コンパレータ50と、このコンパレータ50の前段に設けられた入力切替用のスイッチ40と、コンパレータ50の出力信号の極性を選択的に反転させるための極性反転器60（インバータ62とセレクト64を具備する）とを有する。信号合成部34および36の後のアナログフィルタ37、38は任意に設けることができる。

#### 【0022】

また、オフセット補償値生成部10は、参照値を1LSBずつ変化させる逐次

比較法を用いた補償値生成手段 12（実質的にアップダウンカウンタ 14 とレジスタ 26 により構成される）と、第 1 の補償値および第 2 の補償値を一時的に格納するための 2 つのレジスタ 18, 20 と、補償値演算回路 22 と、補償値演算結果を格納するためのレジスタ 24 とを有する。

#### 【0023】

このオフセット補償機能付き D/A 変換装置では、コンパレータ 50 自体が DC オフセットを有することを考慮し、D/A 変換器 30 および 32 の差動出力間 DC オフセットおよびコンパレータ 50 自体の DC オフセットを含めたトータルの DC オフセットを、負帰還制御により補正する。

#### 【0024】

次に、DC オフセットを補償するための動作を説明する。この動作は、無線経路に送られるべき信号が存在しないテストモード時における、第 1 の補償値を求める段階（図 1）と、第 2 の補償値を求める段階（図 2）と、第 3 の補償値を求める段階（図 3）と、に大別される。

#### 【0025】

そして、図 4 に示されるように、正規の入力データを D/A 変換器 30 に入力し、D/A 変換器 30 の差動出力電圧からレジスタ 24 の第 3 の補償値を基にしてオフセット補償 D/A 変換器 32 を介して得られる差動出力電圧を、信号合成部 34 および 36 で引くことにより、D/A 変換器 30 の差動出力間 DC オフセットを除去することができる。ただし、オフセット補償 D/A 変換器 32 を介して D/A 変換器 30 の差動出力間 DC オフセットを電圧的に補正する以外に、電流的に補正することも可能である。

#### 【0026】

以下、具体的に説明する。図 1 において、テストモード時に第 1 の補償値を求める動作（手順）が太線で示されている。まず、テスト用データ（例えば、D/A 変換器 30 のアナログ 0 V の出力（VDD と VSS のほぼ中間値）に対応するデジタル入力データ）が、D/A 変換器 30 に与えられる。

#### 【0027】

D/A 変換器 30 からは、位相が互いに反転した相補出力が得られる。これら

の2つの出力信号を各々、“OA+”，“OA-”と表わす。OA+はデジタル入力データに対して正相出力とし、OA-は逆相出力とする。

#### 【0028】

補償値生成手段12の最初のカウント値はゼロであるため、補償値ゼロに対するオフセット補償D/A変換器32の差動出力電圧“OS+”、“OS-”が、それぞれ信号合成部34および36でD/A変換器30の差動出力電圧から引かれ、“A+”と“A-”が得られる。OS+は補償値に対して正相出力であり、OA-は逆相出力とする。各々の信号は、切替スイッチ40を介してコンパレータ50に入力する。

#### 【0029】

切替スイッチ40は、図示されるように、入力端子a、bを、出力端子c、dのうちのいずれかに選択的に接続する機能をもつ。図1の切替スイッチ40では、a端子とc端子が接続され、また、b端子とd端子が接続されている。この状態を、第1の入力モードとする。この第1の入力モードのときは、極性反転器60におけるセクタ64は、コンパレータ50の出力信号をそのまま通過させる。

#### 【0030】

コンパレータ50の出力信号は、補償値生成手段12として機能するアップダウンカウンタ14およびレジスタ26に与えられる。

#### 【0031】

アップダウンカウンタ14は、このとき与えられるコンパレータ50の出力信号が+1（ハイレベル）の時はアップカウントし、-1（ローレベル）の時はダウンカウントし、カウント値をレジスタ26に格納する。

#### 【0032】

一方、レジスタ26の値（カウント値）に対するオフセット補償D/A変換器32の差動出力電圧“OS+”、“OS-”が、それぞれ信号合成部34および36でD/A変換器30の差動出力電圧から引かれ、“A+”と“A-”が得られる。

#### 【0033】

以下、上記動作を繰り返して同様の動作を行い、コンパレータ 50 の出力信号の極性が反転するまで継続させる。すなわち、補償値生成手段 12 は、コンパレータ 50 の出力信号の極性の反転を検知すると、そのときのカウンタ値（これが、第 1 の補償値である）をレジスタ 18 に保持させる。なお、極性の反転の検出は、信号電圧の微小な揺れを考慮して慎重に行う必要がある。

#### 【0034】

次に、図 2 に示すように、切替スイッチ 40 を制御して、a 端子を d 端子に接続し、b 端子を c 端子に接続する。これを第 2 の入力モードとする。このとき、極性反転器 60 のセレクト 64 は、インバータ 62 の出力信号を選択する。すなわち、コンパレータ 50 の出力信号の極性を反転した信号が、カウンタ 14 およびレジスタ 26 に与えられることになる。

#### 【0035】

このような状態で、補償値生成手段 12 のカウンタ値をゼロに戻し、図 1 と同様の動作を行うか、または図 1 の動作で求めた第 1 の補償値と同じカウンタ値から継続して第 2 の補償値を求める動作を行う。その結果として得られた第 2 の補償値がレジスタ 20 に格納される。

#### 【0036】

そして、図 3 に示すように、レジスタ 18 およびレジスタ 20 から、第 1 および第 2 の補償値を取り出し、補償値演算回路 22 にて、平均演算を行って第 3 の補償値を算出し、それをレジスタ 24 に格納する。

#### 【0037】

この第 3 の補償値は、コンパレータ 50 がまったく DC オフセットを有しない場合における補償値（つまり、D/A 変換器 30 の差動出力間 DC オフセットを正確に測定し、その測定結果に基づいて生成される、DC オフセットを完全にキャンセルすることができる補償値）である。

#### 【0038】

したがって、図 4 に示されるように、正規の入力データが入力された D/A 変換器 30 の差動出力電圧から、求められた第 3 の補償値を基にしたオフセット補償 D/A 変換器 32 を介して得られる差動出力電圧を、それぞれ信号合成部 34



および36で引くことにより、D/A変換器30の差動出力間DCオフセットを完全に除去することができる。

#### 【0039】

上述の方法により、コンパレータ50自体が有するオフセットが完全にマスクされて見えなくなる様子を、図5および図6を用いて、具体的に説明する。ここでは、オフセット補償D/A変換器32の最小分解能(LSB)を1mVとする。

#### 【0040】

図5(a)では、コンパレータ50がまったくDCオフセットを有さない場合を想定している。D/A変換器30には、テスト用データ(テスト用制御値:0Vに相当するデータ)が与えられると、D/A変換器30の差動出力A+、A-は、互いに独立しているので、仮にD/A変換器30にDCオフセットがあればそれは差動出力間DCオフセットとして現れる。ここでは、D/A変換器30の相補出力のうち、A+の電圧が20mVであり、A-の電圧が0mVであったと仮定する。本来なら、2つの出力は、共に0mVになるはずである。したがって、この場合には、20mVの差動出力間DCオフセットが生じていることになる。

#### 【0041】

次に、この20mVのDCオフセットをキャンセルするためには、どのような補償値が必要になるのか(補償値の値をどれだけにすればよいか)について検討する。ここで、留意すべき点は、差動出力タイプのD/A変換器30と32の場合は、補償値「+1」に対して、A+では-1mV補正され、A-では逆に1mV補正されるという点である。つまり、差動出力タイプのD/A変換器30と32の場合、補償値「+1」に対して、A+、A-間では合計-2mVの補正がかかることになる。

#### 【0042】

上述のとおり、いま、A+、A-間には20mVの差動出力間DCオフセットがある。したがって、このオフセットをキャンセルするためには、図5(b)に示すように、A+(20mV)から10mVだけ減算し、かつ、A-(0mV)

に 10 mV を加算するような補正を行えばよい（つまり、A +, A - の各々についてみれば、10 mV 分の補正を行えばよい）。したがって、必要な補償値は「+10」となる。

#### 【0043】

ここで、図 5 (c) に示すように、コンパレータ 50 が DC オフセットを有している（ここでは、実質的に、反転端子の電圧が非反転端子の電圧に対して 8 mV だけ高いような DC オフセットを想定する）。この場合には、D/A 変換器 30 の本来の差動出力間 DC オフセット 20 mV に、コンパレータ 50 の DC オフセット 8 mV が加算され、DC オフセットは 28 mV に拡大される。

#### 【0044】

この 28 mV の DC オフセットをキャンセルするためには、図 5 (d) に示すように、A + (20 mV) から 14 mV 減算し、かつ、A - (0 mV) に 14 mV を加算するような補正を行えばよい。したがって、必要な補償値（第 1 の補償値）は「+14」となる。

#### 【0045】

次に、図 5 (e) に示すように、コンパレータ 50 への入力を切り替える。すると、A + (D/A 変換器 30 の DC オフセットの影響で +20 mV になっている) は、コンパレータ 50 の反転端子に入力される。A - (0 mV) は、コンパレータ 50 の非反転端子に入力される。

#### 【0046】

この結果、D/A 変換器 30 の本来の差動出力間 DC オフセット 20 mV からコンパレータ 50 の DC オフセット 8 mV が減算されて 12 mV となり、誤差が縮小する。ただし、実際は、コンパレータ 50 の入力として、-12 mV (= (-20 mV + 8 mV)) が印加されているので、コンパレータ 50 の出力は極性がマイナスとなる。そこで、インバータ 62 により極性を反転させ、補償値を算出する。

#### 【0047】

この 12 mV の DC オフセットをキャンセルするためには、図 5 (f) に示すように、A + (20 mV) から 6 mV 減算し、かつ、A - (0 mV) に 6 mV を

加算するような補正を行えばよい。このため、補償値（第2の補償値）は「+6」となる。

#### 【0048】

そして、図5（g）に示すように、第1の補償値と第2の補償値の平均をとると、第3の補償値（＝「+10」）が得られる。この第3の補償値の値は、図5（a）の、コンパレータ50がまったくDCオフセットを有さない場合において得られる補償値（＝「+10」）と一致する。つまり、コンパレータ50自体のDCオフセットは、マスクされて見えなくなり、D/A変換器30の差動出力間DCオフセットが正確に測定され、これに基づいて的確な補償値が得られたことになる。

#### 【0049】

つまり、D/A変換器30の差動出力間DCオフセット補償値は、「+10」であり、コンパレータ50の入力切替前には、この本来のDCオフセットに、コンパレータ50自体のDCオフセット補償値（＝「+4」）が加算される形になるのに対して、入力切替後には、コンパレータ50自体のDCオフセット（＝「+4」）が減算される形となる。すなわち、入力切替の前後において、コンパレータ50自体のDCオフセットの極性は反対になっている。

#### 【0050】

これに対し、D/A変換器30がもつ本来の差動出力間DCオフセット（＝+20mV）の極性は、入力切替の前後で同じである。つまり、入力切替後では、出力値の極性が逆転するが、これをインバータ62で反転するため、測定された差動出力間DCオフセット補償値は「+10」のままである。

#### 【0051】

したがって、第1の補償値（補償値1）と第2の補償値（補償値2）を加算すると、コンパレータ50のDCオフセット成分は相殺され、一方、D/A変換器30の本来の差動出力間DCオフセット成分は2倍となるため、これを2で割ることにより、D/A変換器30の本来の差動出力間DCオフセット成分のみに対応した補償値が得られることになる。

#### 【0052】

このDCオフセットキャンセルの原理を、わかりやすく示したのが、図6である。D/A変換器30の差動出力A+とA-間の本来のDCオフセット補償値をVoffとすると、Voffは、上述のとおり、「+10 (+20mV相当)」である。

#### 【0053】

コンパレータ50の入力切替前（非交差入力）のときは、コンパレータ50のもつオフセットDCoff (= +8mV) が加算される形となる。第1の補償値（補償値1）をyとすると、yは「+14」となる。

#### 【0054】

一方、コンパレータ50の入力切替後（交差入力）のときは、コンパレータ50のもつDCオフセットDCoff (= +8mV) が減算される形となる。第2の補償値をxとすると、xは「+6」となる。ここで、 $x + y = 2 V_{off}$ となる。したがって、 $(x + y) / 2 = V_{off} = z$ となり、この第3の補償値zは、本来の差動出力間DCオフセットに対応した補償値となっている。

#### 【0055】

第1の実施形態において、コンパレータ50の反転端子、非反転端子と、切替スイッチ40のc、dとの接続を逆にした場合は、コンパレータ50の出力が第1の実施形態と全く反対になるので、アップダウンカウンタ14の動作が第1の実施形態と逆になるので、ここで得られる補償値の極性は反対になる。

#### 【0056】

したがって、テスト用データを入力したメインD/A変換器30のOA+およびOA-に、オフセット補償D/A変換器32のOS-およびOS+をそれぞれ引いて、メインD/A変換器30の出力を補正する必要がある。

#### 【0057】

同様に、第1、第2および第3の補償値は第1の実施形態におけるそれぞれの補償値と値が同じで極性が逆になる。したがって、正規の入力データを入力したメインD/A変換器30のOA+およびOA-に、オフセット補償D/A変換器32のOS-およびOS+をそれぞれ引いて、メインD/A変換器30の出力を補正することにより、D/A変換器30の差動出力間DCオフセットを完全に除

去することができる。

#### 【0058】

また、第1の実施形態において、第1の入力モードの時、コンパレータ50の出力信号に対し反転する信号に基づいて第1の補償値を求め、第2の入力モードの時、コンパレータ50の出力信号に基づいて第2の補償値を求める場合も同様に、各入力モード時の補償値、第1の補償値、第2の補償値および第3の補償値は第1の実施形態におけるそれぞれの補償値と値が同じで極性が逆になる。

#### 【0059】

したがって、この場合も、メインD/A変換器30のOA+およびOA-に、オフセット補償D/A変換器32のOS-およびOS+をそれぞれ引いて、メインD/A変換器30の出力を補正することにより、第1の実施形態と同様に、D/A変換器30の差動出力間DCオフセットを完全に除去することができる。

#### 【0060】

(第2の実施形態)

図7は、図1から図4に示す本発明の第1の実施形態におけるオフセット補償機能付きD/A変換装置の機能を変えず、構成を一部変更したブロック図である。

#### 【0061】

本実施形態では、コンパレータ50の出力信号の極性を選択的に反転させるための極性反転器60（インバータ62とセレクトア64を具備する）を取り除く代わりに、モード切替信号により、アップダウンカウンタ14のカウント動作を、第1の入力モード時と第2の入力モード時で逆に動作させるようにする。

#### 【0062】

すなわち、第1の入力モード時ではアップダウンカウンタ14は、コンパレータの出力が+1（ハイレベル）の時はアップカウントし、-1（ローレベル）の時はダウンカウントするが、第2の入力モード時ではアップダウンカウンタ14は、上記と逆に、コンパレータの出力が+1（ハイレベル）の時はダウンカウントし、-1（ローレベル）の時はアップカウントするようにする。

#### 【0063】

この変更が成されても、アップダウンカウンタ 14 の出力はいずれのモード時でも第 1 の実施形態と全く同じであるので、オフセット補償機能付き D/A 変換装置の機能および動作は何ら変わらない。

#### 【0064】

(第 3 の実施形態)

図 8 は、図 1 から図 4 に示す本発明の第 1 の実施形態におけるオフセット補償機能付き D/A 変換装置の機能を変えず、構成を一部変更した別のブロック図である。

#### 【0065】

本実施形態では、コンパレータ 50 の出力信号の極性を選択的に反転させるための極性反転器 60 (インバータ 62 とセクタ 64 を具備する) を取り除く代わりに、オフセット補償 D/A 変換器 32 を制御機能付きオフセット補償 D/A 変換器 33 に置き換え、モード切替信号により、補償値を基にオフセット補償用アナログ出力を発生する制御機能付きオフセット補償 D/A 変換器 33 の動作において、第 1 の入力モード時では信号合成部 34 に入力する信号として OS+ を発生し、信号合成部 36 に入力する信号として OS- を発生する。

#### 【0066】

第 2 の入力モード時では逆に信号合成部 34 に入力する信号として OS- を発生し、信号合成部 36 に入力する信号として OS+ を発生するように切り替えるようにする。

#### 【0067】

この変更により、第 2 の入力モード時に求める第 2 の補償値が、第 1 の実施形態の第 2 の補償値とは値が同じで極性が逆になるため、第 1 の補償値から第 2 の補償値を引き、その値を 2 で割ることにより第 3 の補償値を求めれば、正規の入力データが入力された D/A 変換器 30 の差動出力 OA+ および OA- から、求められた第 3 の補償値を基にしたオフセット補償 D/A 変換器 33 を介して得られる差動出力 OS+ および OS- を、それぞれ信号合成部 34 および 36 で引くことにより、D/A 変換器 30 の差動出力間 DC オフセットを完全に除去することができる。

## 【0068】

同様に、第2の補償値から第1の補償値を引き、その値を2で割ることにより第3の補償値を求めれば、正規の入力データが入力されたD/A変換器30の差動出力OA+およびOA-から、求められた第3の補償値を基にしたオフセット補償D/A変換器33を介して得られる差動出力OS-およびOS+を、それぞれ信号合成部34および36で引くことにより、D/A変換器30の差動出力間DCオフセットを完全に除去することができる。

## 【0069】

第3の実施形態において、コンパレータ50の入力端子と切替スイッチ40の接続を逆にした場合、またはコンパレータ50の出力信号を反転させた信号を補償値生成手段12に入力するようにした場合は、制御機能付きオフセット補償D/A変換器33の動作が第3の実施形態とは逆になり、また第1の補償値、第2の補償値および第3の補償値は、第3の実施形態と値が同じで極性が逆になる。

## 【0070】

(第4の実施形態)

図9は、図1から図4に示す本発明の第1の実施形態において、第1および第2の入力モードである時の第1および第2の補償値を求めるために、バイナリサーチ法を用いたオフセット補償機能付きD/A変換装置のブロック図である。

## 【0071】

本実施形態は、図1から図4に示す第1の実施形態で用いたアップダウンカウンタを使った1LSBずつ変化させる逐次比較法の代わりに、バイナリサーチ法を用いたものである。

## 【0072】

図10にバイナリサーチ法を使って補償値を求める具体的な手順を示す。上記で説明したように、オフセット補償D/A変換器32の1LSBを1mVとすると、差動出力タイプのD/A変換器の場合、補償値「+1」に対して、A+、A-間では合計-2mVの補正がかかることになる。

## 【0073】

A+とA-間の差分出力間DCオフセットが+40mV~+41mVあるとし

、補償値の桁数を 5 桁とすると、第 1 の入力モード時においては、コンパレータ 50 の出力はそのままロジック回路 15 に入力されるので、コンパレータ 50 の最初の出力は  $A+$  が  $A-$  より大きいため +1 となる。これは補償値の極性が“プラス”であることを示しており、ロジック回路 15 からレジスタ 26 に「+10000」を出力する。

#### 【0074】

次に、オフセット補償 D/A 変換器 32 および信号合成部 34 と 36 で、メイン D/A 変換器 30 の出力  $OA+$  を  $-16\text{ mV}$ 、 $OA-$  を  $+16\text{ mV}$  補正すると、 $A+$  と  $A-$  の電圧差は  $+8\text{ mV} \sim +9\text{ mV}$  となる。コンパレータ 50 の出力は依然 +1 のままであり、これにより補償値の 5 桁目は“1”となり、ロジック回路 15 からレジスタ 26 に「+11000」を出力する。

#### 【0075】

さらに、オフセット補償 D/A 変換器 32 および信号合成部 34 と 36 で、メイン D/A 変換器 30 の出力  $OA+$  を  $-8\text{ mV}$ 、 $OA-$  を  $+8\text{ mV}$  補正すると、 $A+$  と  $A-$  の電圧差は  $-8\text{ mV} \sim -7\text{ mV}$  となる。この場合コンパレータ 50 の出力は  $-1$  となるので、補償値の 4 桁目は“0”となり、ロジック回路 15 からレジスタ 26 に「+10100」を出力する。

#### 【0076】

さらに、オフセット補償 D/A 変換器 32 および信号合成部 34 と 36 で、メイン D/A 変換器 30 の出力  $OA+$  を  $+4\text{ mV}$ 、 $OA-$  を  $-4\text{ mV}$  補正すると、 $A+$  と  $A-$  の電圧差は  $0\text{ mV} \sim +1\text{ mV}$  となる。この場合コンパレータ 50 の出力は +1 となるので、補償値の 3 桁目は“1”となり、ロジック回路 15 からレジスタ 26 に「+10110」を出力する。

#### 【0077】

さらに、オフセット補償 D/A 変換器 32 および信号合成部 34 と 36 で、メイン D/A 変換器 30 の出力  $OA+$  を  $-2\text{ mV}$ 、 $OA-$  を  $+2\text{ mV}$  補正すると、 $A+$  と  $A-$  の電圧差は  $-4\text{ mV} \sim -3\text{ mV}$  となる。この場合コンパレータ 50 の出力は  $-1$  となるので、補償値の 2 桁目は“0”となり、ロジック回路 15 からレジスタ 26 に「+10101」を出力する。



## 【0078】

さらに、オフセット補償D/A変換器32および信号合成部34と36で、メインD/A変換器30の出力OA+を+1mV、OA-を-1mV補正すると、A+とA-の電圧差は-2mV~-1mVとなる。この場合コンパレータ50の出力は-1となり、補償値の1桁目は“0”となる。すなわち、第1の補償値は「+10100」となる。

## 【0079】

バイナリサーチ法で求めた第1の補償値のLSBの桁が「0」の場合は、D/A変換器30のDCオフセット補償精度は「0mV~-2mV」であるので、第1の補償値に「+1/2」を加えることにより、D/A変換器30のDCオフセット補償精度は「±1mV」となる。

## 【0080】

また、第1の補償値のLSBの桁が「1」の場合は、D/A変換器30のDCオフセット補償精度は「0mV~+2mV」であるので、第1の補償値に「-1/2」を加えることにより、D/A変換器30のDCオフセット補正精度は「±1mV」となる。

## 【0081】

従って、バイナリサーチ法で求めた第1の補償値のLSBの桁が「0」の場合と「1」の場合の両方を合わせると、上記のように第1の補償値に「+1/2」か「-1/2」の補正を加えることにより、D/A変換器30のDCオフセット補償精度が「±2mV」から「±1mV」に向上することになる。

## 【0082】

また、図1などに示す逐次比較法では、22回の測定が必要であるが、今回のバイナリサーチ法を用いれば、6回の測定で、MSBからLSBに向かって補償値が決まるため、測定時間の短縮を図ることができる。

## 【0083】

第2の入力モード時においても、同様の手順により第2の補償値を求める事ができる。また、第1および第2の補償値を求める手順以外は、第1の実施形態と全く同じである。

## 【0084】

(第5の実施形態)

図11は、本発明を、シングル出力タイプのD/A変換器31のオフセット補償に用いた例を示す。切替スイッチ40の一方の入力(A+)は、D/A変換器31の出力信号であり、他方の入力(A-)は、基準電圧(理想的なD/A変換器の出力電圧に相当する)である。他の構成は、前掲のものと同じである。図11中、前掲の例と同じ部分には同じ符号が付してある。

## 【0085】

その特徴的な動作が、図12(a)から(d)に示される。原理的には図5を用いて説明した動作と同様である。ここにおいても、オフセット補償D/A変換器32の最小分解能(LSB)を1mVとすると、シングル出力タイプのD/A変換器の場合は、補償値「+1」に対して、A+のみに-1mVの補正がかかることになる。つまり、シングル出力タイプのD/A変換装置の補償値は差動出力タイプのD/A変換装置の補償値の2倍となる。

## 【0086】

つまり、図12(a)は、コンパレータ50にDCオフセットがないとした場合のD/A変換器31のDCオフセット補償値を示しており、図12(b)は、コンパレータ50にDCオフセットが有り、かつ、入力切替前におけるD/A変換器31のDCオフセット補償値(第1の補償値に対応する)を示しており、図12(c)は、コンパレータ50にDCオフセットが有り、かつ、入力切替後におけるD/A変換器31のDCオフセット補償値(第2の補償値に対応する)を示しており、図12(d)は、第1および第2の補償値を平均して得られる第3の補償値が、図12(a)の場合の補償値と一致することを示している。ただし、ここで用いた基準電圧は必ずしも理想的なD/A変換器の出力に相当する電圧にする必要はなく、一定電圧値であれば良い。

## 【0087】

また、第1の実施形態で説明したように、第5の実施形態においても同様に、コンパレータ50の入力端子と切替スイッチ40の接続を逆にした構成や、第1の入力モードの時、コンパレータ50の出力信号に対し反転する信号に基づいて

第1の補償値を求め、第2の入力モードの時、コンパレータ50の出力信号に基づいて第2の補償値を求める構成も可能である。

#### 【0088】

また、第2と第3の実施形態で説明したように、第5の実施形態においても同様に、コンパレータ50の出力信号の極性を選択的に反転させるための極性反転器60を取り除く代わりに、モード切替信号により、アップダウンカウンタ14のカウンタ動作を、第1の入力モード時と第2の入力モード時で逆に動作させるようにした構成も可能である。

#### 【0089】

また、コンパレータ50の出力信号の極性を選択的に反転させるための極性反転器60を取り除く代わりに、オフセット補償D/A変換器32を制御機能付きオフセット補償D/A変換器33に変え、信号合成部34で、D/A変換器31の出力電圧からオフセット補償D/A変換器33の出力電圧を引くための信号を、第2の入力モード時では、モード切替信号により、第1の入力モード時の出力信号とは値が同じで極性が逆である出力信号となるように切り替えるようにした構成も可能である。

#### 【0090】

(第6の実施形態)

図13は、本発明のオフセット補償機能付きD/A変換装置を用いた、デジタル無線送信機の概略構成を示すブロック図である。図示されるように、デジタル無線送信機は、デジタル変調器300と、I、Qそれぞれに対応したD/A変換装置（本発明のオフセット補償機能付きD/A変換装置である）500a、500bと、直交変調器600と、送信回路700と、アンテナ710とを有する。デジタル変調器300は、例えば、拡散変調器である。また、直交変調器600は、例えば、QPSK変調器である。デジタル変調器300と、D/A変換装置500a、500bおよび直交変調器600と、送信回路700とは、それぞれ一つのLSIに集積されている。

#### 【0091】

本実施形態によれば、DCオフセットがキャンセルされていることから、2つ

のD/A変換装置500a, 500bの入出力特性は一致し、I, Qそれぞれの送信信号の位相が一致するため、正確な送信が可能となる。

#### 【0092】

なお、本発明のオフセット補償機能付きのD/A変換装置は、通信用途のみならず、オーディオ機器等においても利用することができる。

#### 【0093】

##### 【発明の効果】

本発明によれば、コンパレータへの入力切替を行うことで、コンパレータ自体がもつDCオフセットと同じ値をもち、その極性が反転している電圧の情報を間接的に生成し、D/A変換器のオフセットを測定するときは、コンパレータ自体のDCオフセットを相殺してD/A変換器のDCオフセットの正確な測定が可能となる。これにより、コンパレータに存在するDCオフセットに影響されずに、D/A変換器のDCオフセットをほぼ完全に除去することができる。さらに、アナログ回路の微細化を進めていくと、コンパレータのDCオフセットがますます増大することになる。よって、微細プロセスを用いてDCオフセットをほぼ完全に取り除いたD/A変換器を実現する手段として、本発明は非常に有効である。

##### 【図面の簡単な説明】

#### 【図1】

本発明のオフセット補償機能付きD/A変換装置の一例（D/A変換器が差動出力構成）の構成と動作（第1の補償値の生成動作）を説明するための図。

#### 【図2】

本発明のオフセット補償機能付きD/A変換装置の一例の動作（第2の補償値の生成動作）を説明するための図。

#### 【図3】

本発明のオフセット補償機能付きD/A変換装置の一例の動作（第3の補償値の生成動作）を説明するための図。

#### 【図4】

本発明のオフセット補償機能付きD/A変換装置における通常の動作（第3の補償値を用いてD/A変換器のDCオフセットを補償しながらD/A変換を行う

動作)を説明するための図。

【図 5】

(a)、(b)は、図4においてコンパレータにDCオフセットがない場合のDCオフセット補償値を示す図、

(c)、(d)は、コンパレータにDCオフセットが存在しかつ入力切替前（非交差入力時）におけるDCオフセット補償値を示す図、

(e)、(f)は、コンパレータにDCオフセットが存在しかつ入力切替後（交差入力時）におけるDCオフセット補償値を示す図、

(g)は、第3の補償値の基礎となるDCオフセット補償値が、DCオフセットがないコンパレータで測定したDCオフセット補償値（(a)の場合）と同じであることを示す図。

【図 6】

本発明のオフセット補償機能付きD/A変換装置においてDCオフセットをキャンセルできる様子を説明するための図。

【図 7】

第1の実施形態におけるオフセット補償機能付きD/A変換装置の機能を変えず構成を一部変更したブロック図。

【図 8】

第1の実施形態におけるオフセット補償機能付きD/A変換装置の機能を変えず構成を一部変更した別のブロック図。

【図 9】

バイナリサーチ法を用いた本発明のオフセット補償機能付きD/A変換装置例の概略構成を説明するための図。

【図 10】

バイナリサーチ法を用いた本発明のオフセット補償機能付きD/A変換装置の動作を説明するための図。

【図 11】

本発明のオフセット補償機能付きD/A変換装置の他の例（D/A変換器がシングル出力構成）の構成を説明するための図。

**【図 1 2】**

(a) は、図 1 1 においてコンパレータに D C オフセットがない場合の D C オフセット補償値を示す図、

(b) は、コンパレータに D C オフセットが存在しかつ入力切替前（非交差入力時）における D C オフセット補償値を示す図、

(c) は、コンパレータに D C オフセットが存在しかつ入力切替後（交差入力時）における D C オフセット補償値を示す図、

(d) は、第 3 の補償値の基礎となる D C オフセット補償値が、D C オフセットがないコンパレータで測定した D C オフセット補償値（(a) の場合）と同じであることを示す図。

**【図 1 3】**

本発明のオフセット補償機能付き D/A 変換装置（L S I 化されている）を搭載したデジタル無線送信機の概略構成を示すブロック図。

**【図 1 4】**

オフセットを補償する従来例を示すブロック図。

**【図 1 5】**

電流加算型 D/A 変換器におけるアナログ出力電圧の合成方法を示す図。

**【図 1 6】**

抵抗ストリング型 D/A 変換器におけるアナログ出力電圧の合成方法を示す図。

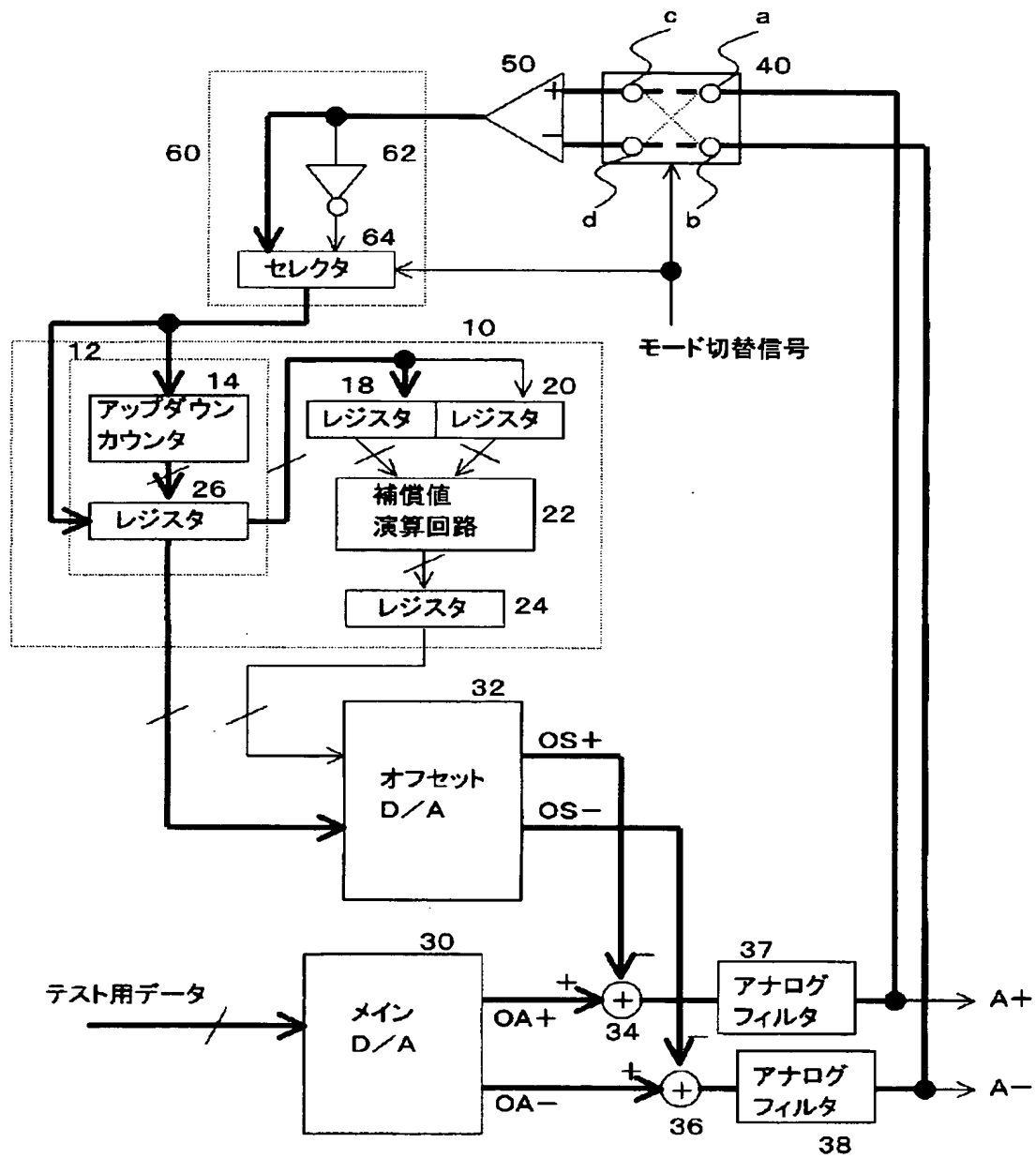
**【符号の説明】**

- 1 0    オフセット補償値生成部
- 1 2    補償値発生手段
- 1 4    アップダウンカウンタ
- 1 5    ロジック回路
- 1 8, 2 0, 2 4, 2 6    レジスタ
- 2 2    補償値演算回路
- 3 0    差動出力タイプメイン D/A 変換器
- 3 1    シングル出力タイプメイン D/A 変換器

- 3 2 オフセット補償 D/A 変換器
- 3 3 制御機能付きオフセット補償 D/A 変換器
- 3 4, 3 6 信号合成部
- 3 7, 3 8 アナログ (ローパス) フィルタ
- 4 0 入力切替スイッチ
- 5 0 コンパレータ
- 6 0 極性反転器切替回路
- 6 2 インバータ
- 6 4 セレクタ
- 3 0 0 デジタル変調器
- 5 0 0 a, 5 0 0 b D/A 変換装置
- 6 0 0 直交変調器
- 7 0 0 送信回路
- 7 1 0 アンテナ

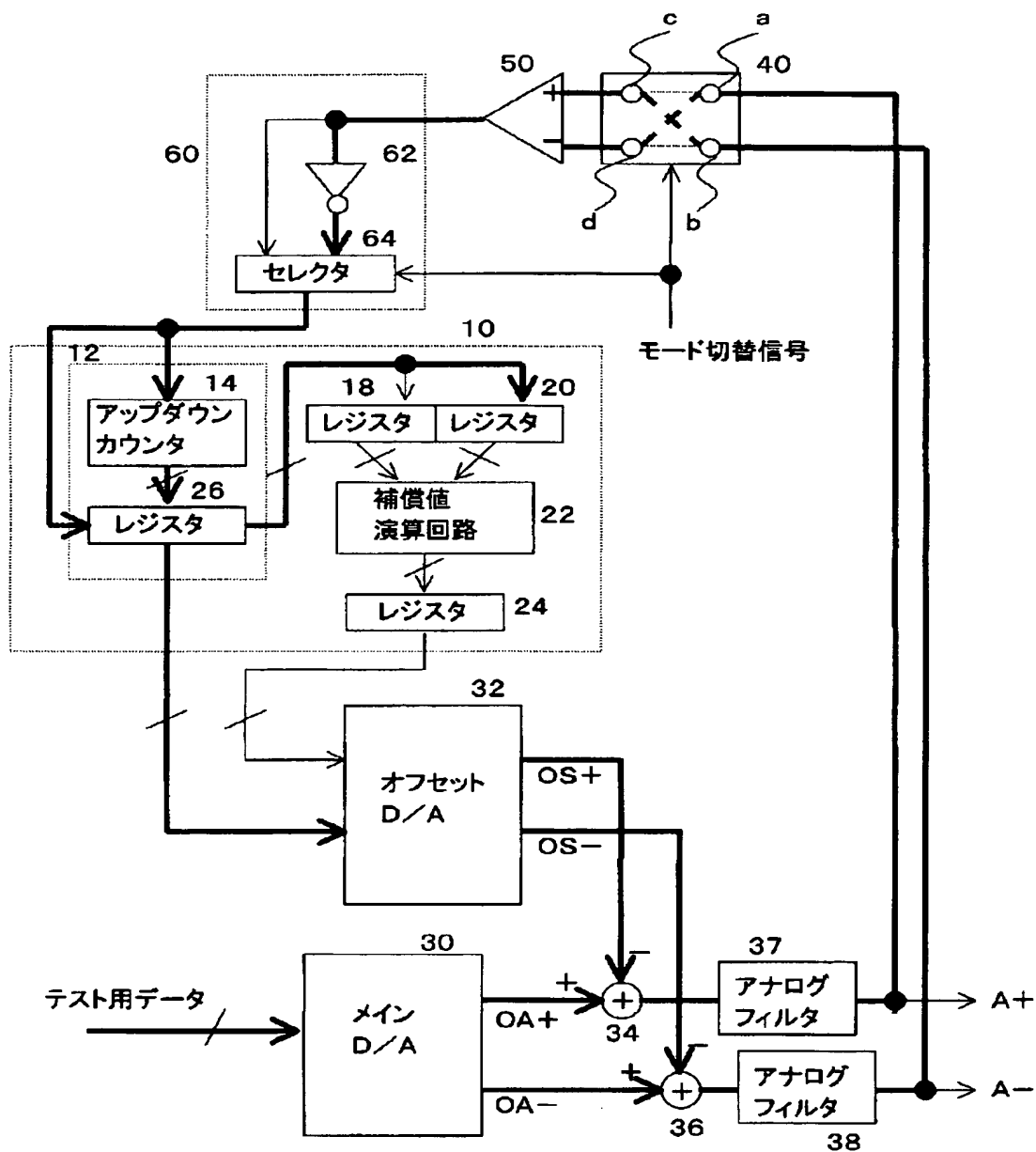
【書類名】 図面

【図 1】

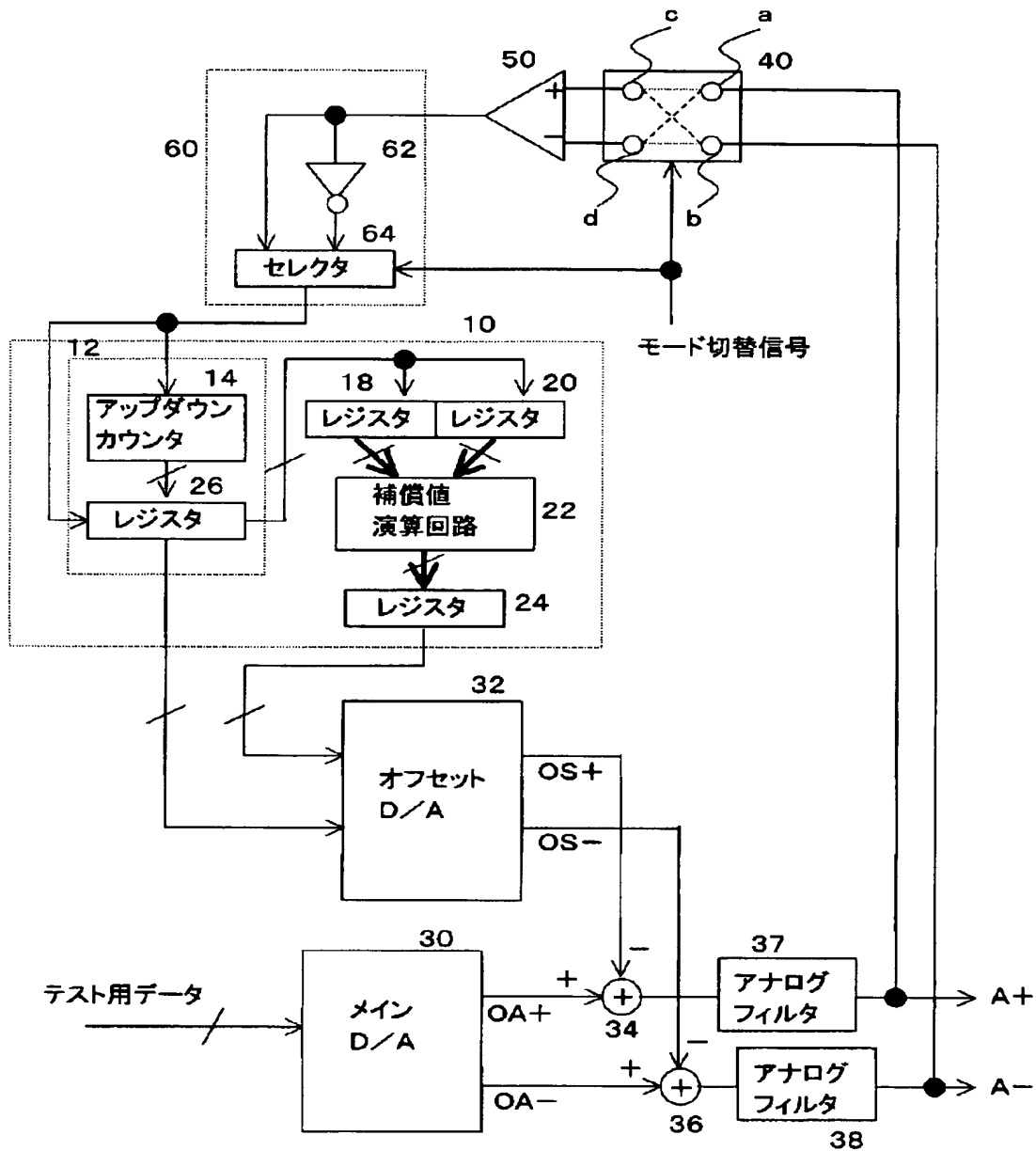




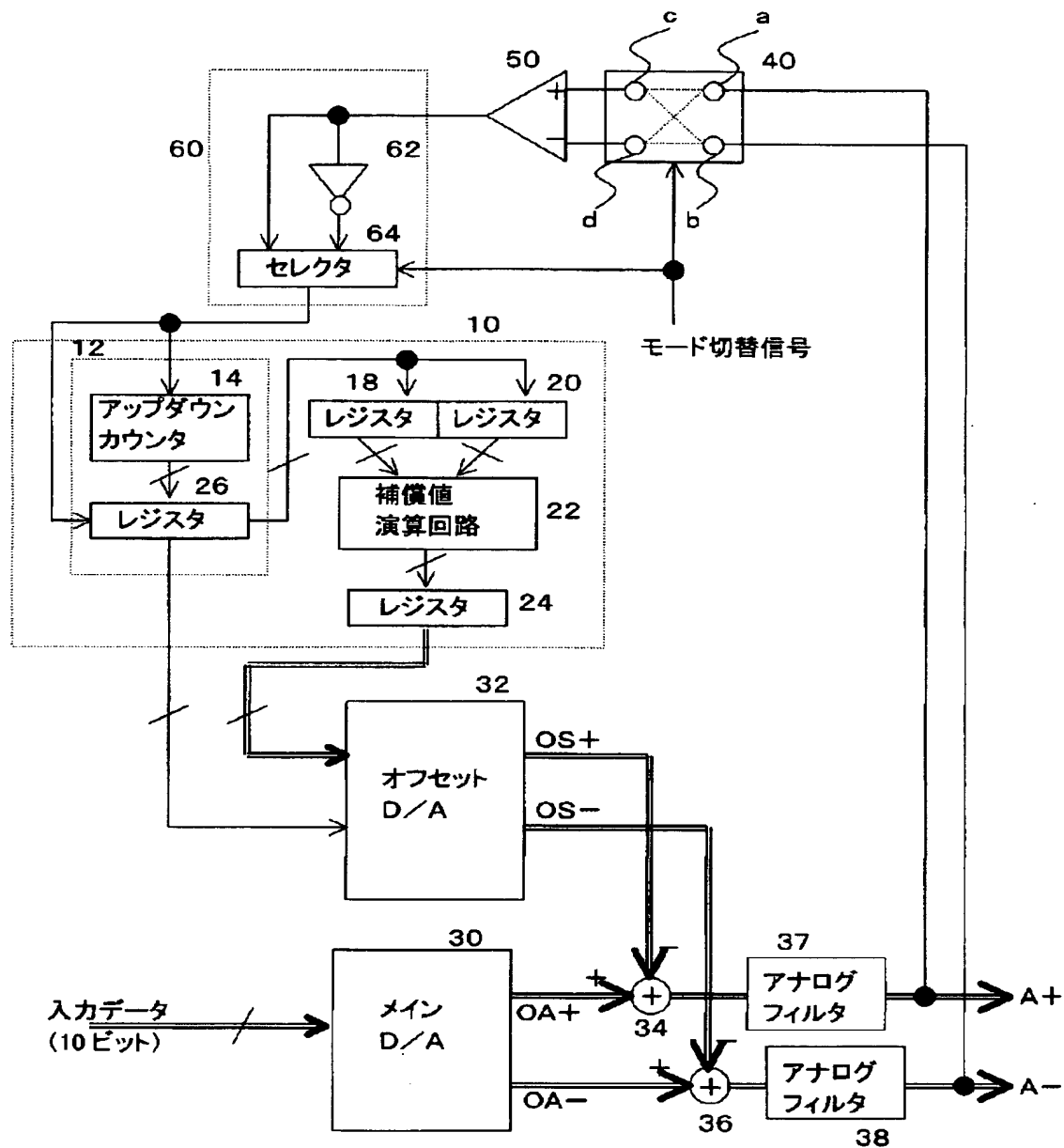
【図 2】



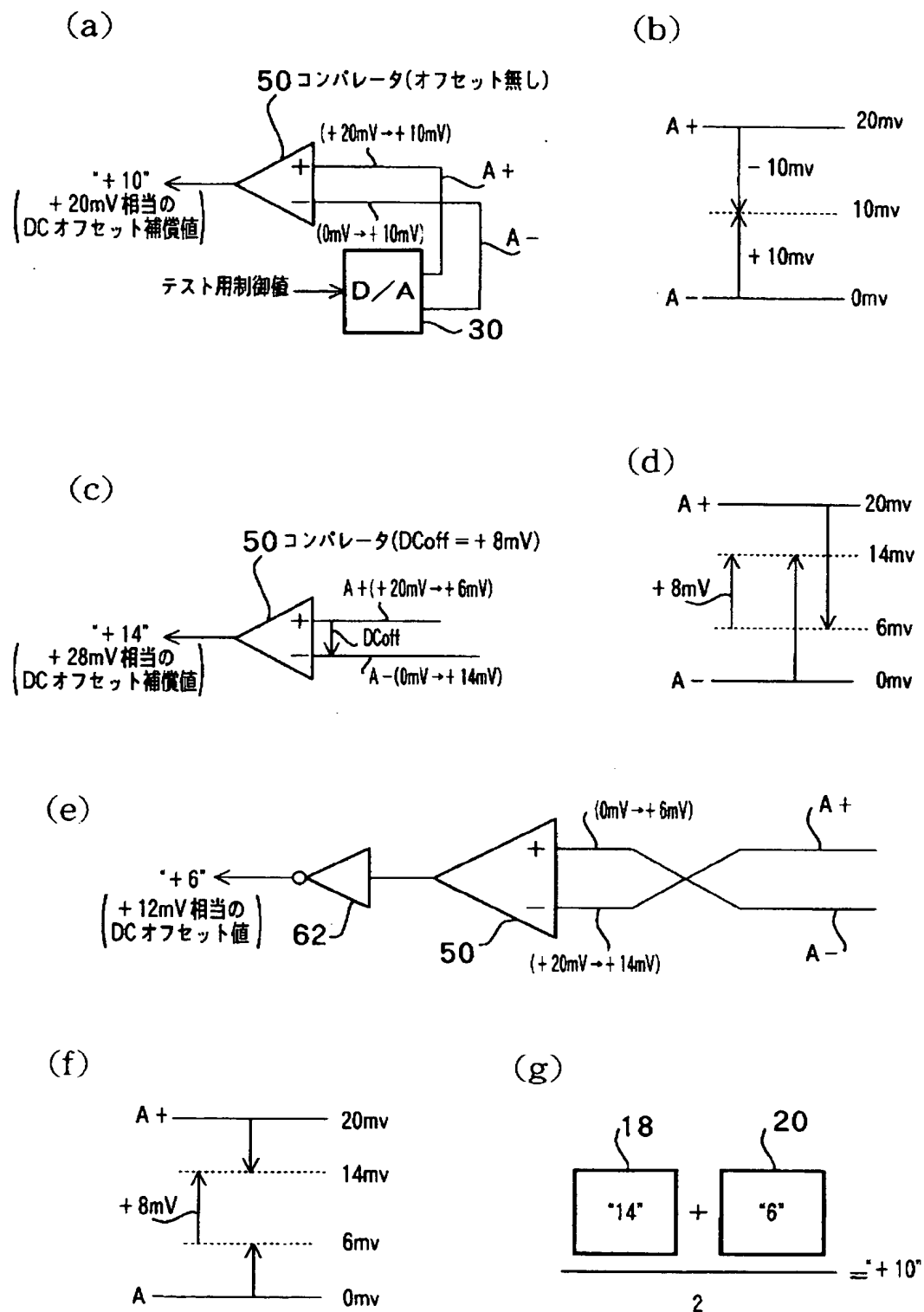
【図 3】



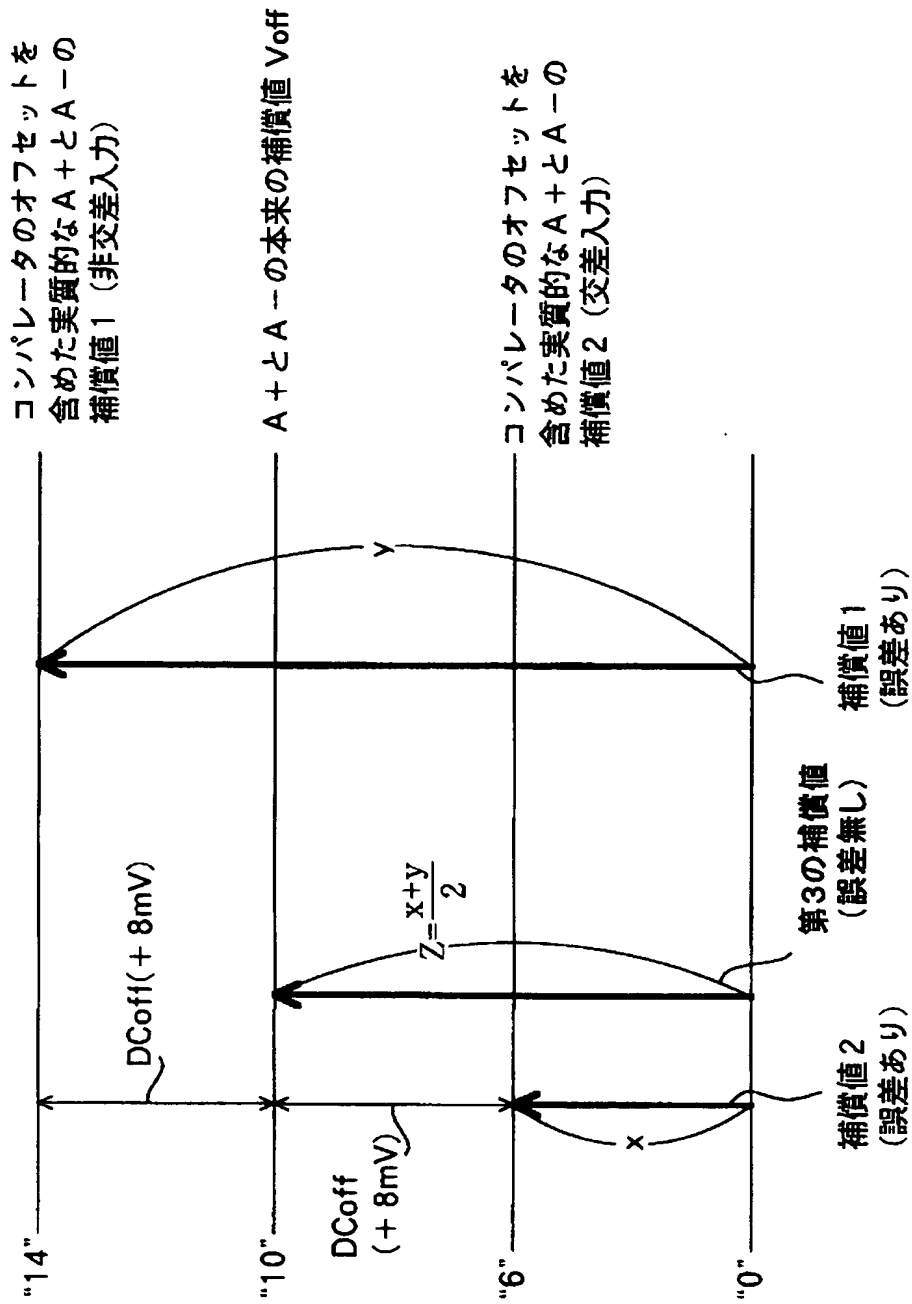
【図 4】



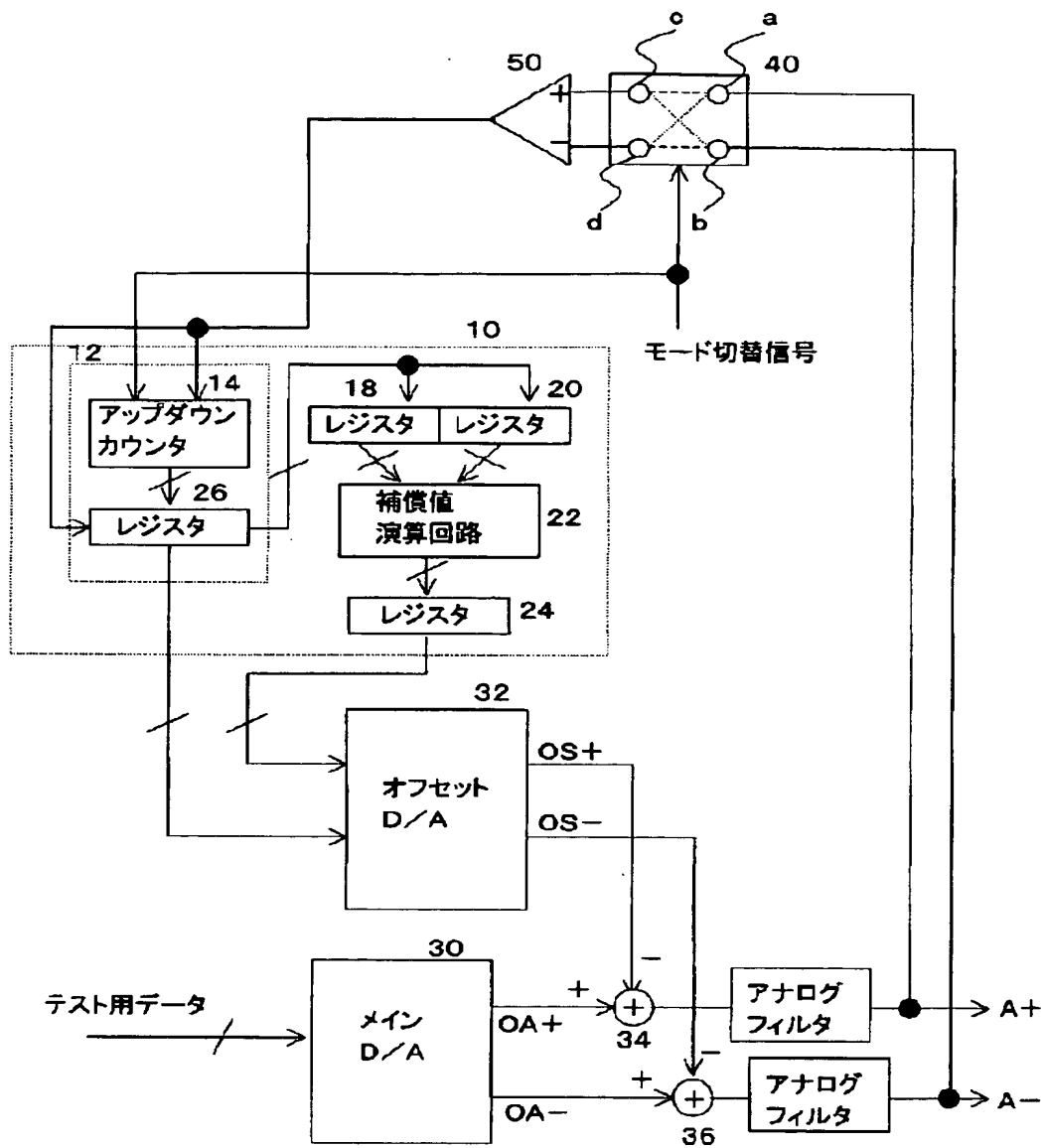
【図 5】



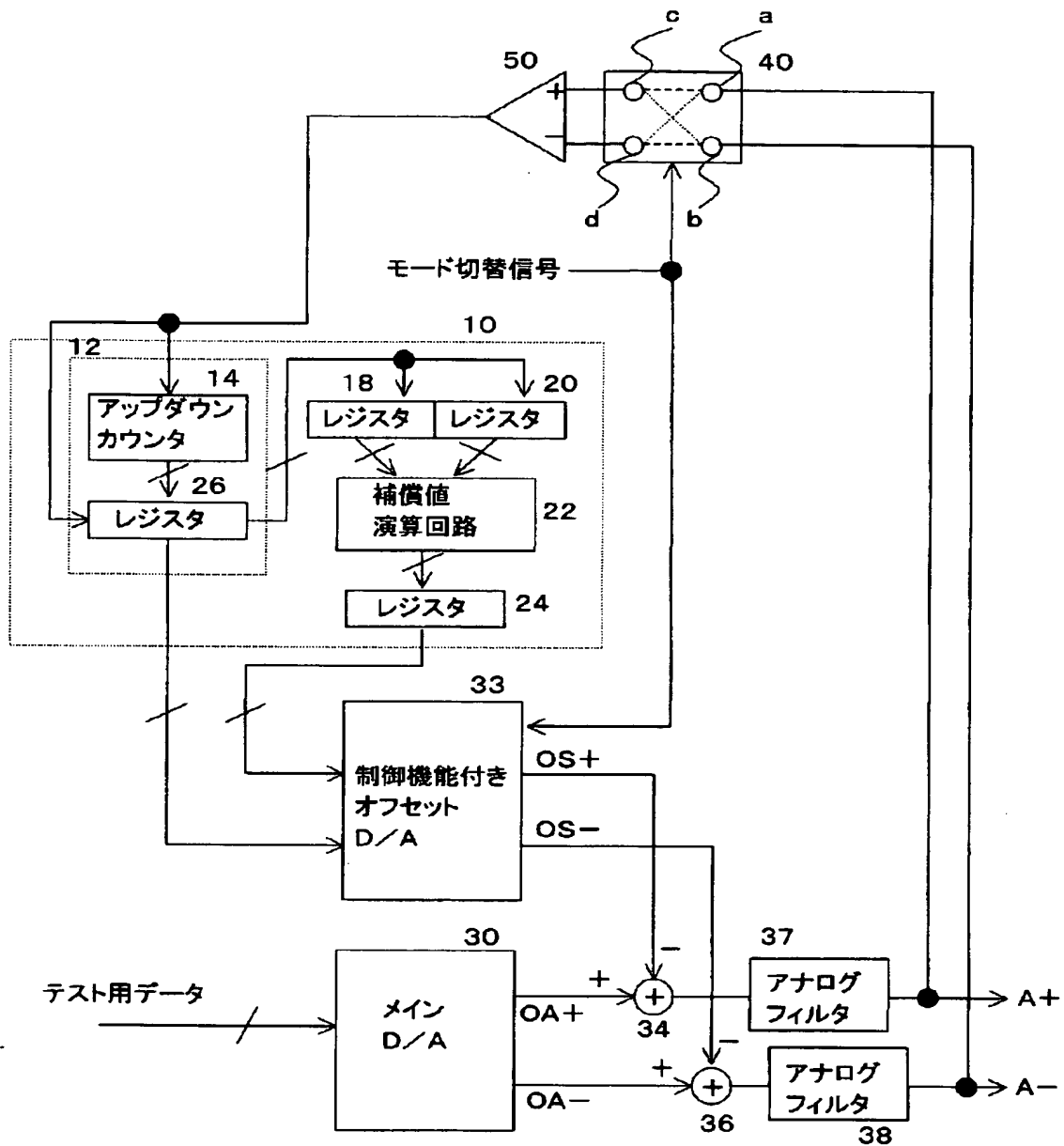
【図 6】



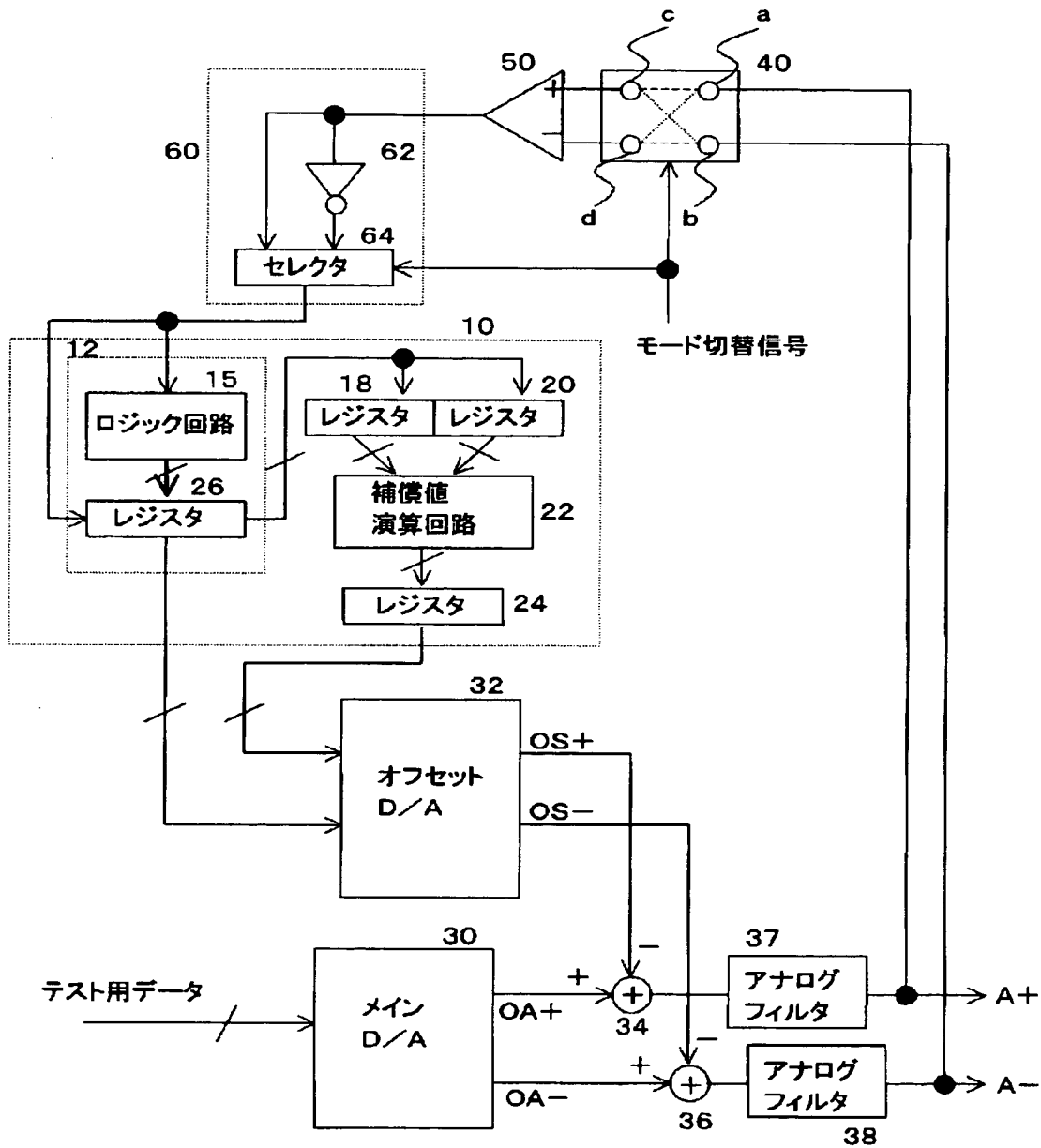
【図 7】



【図 8】

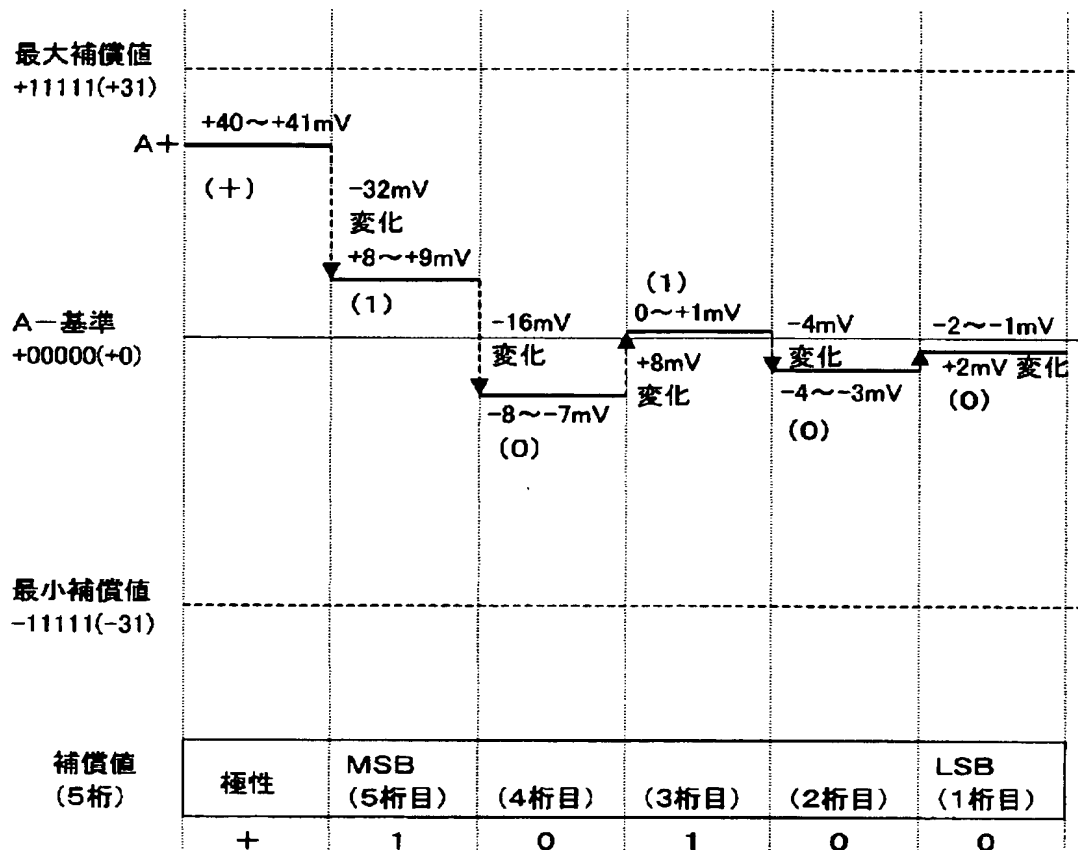


【図 9】

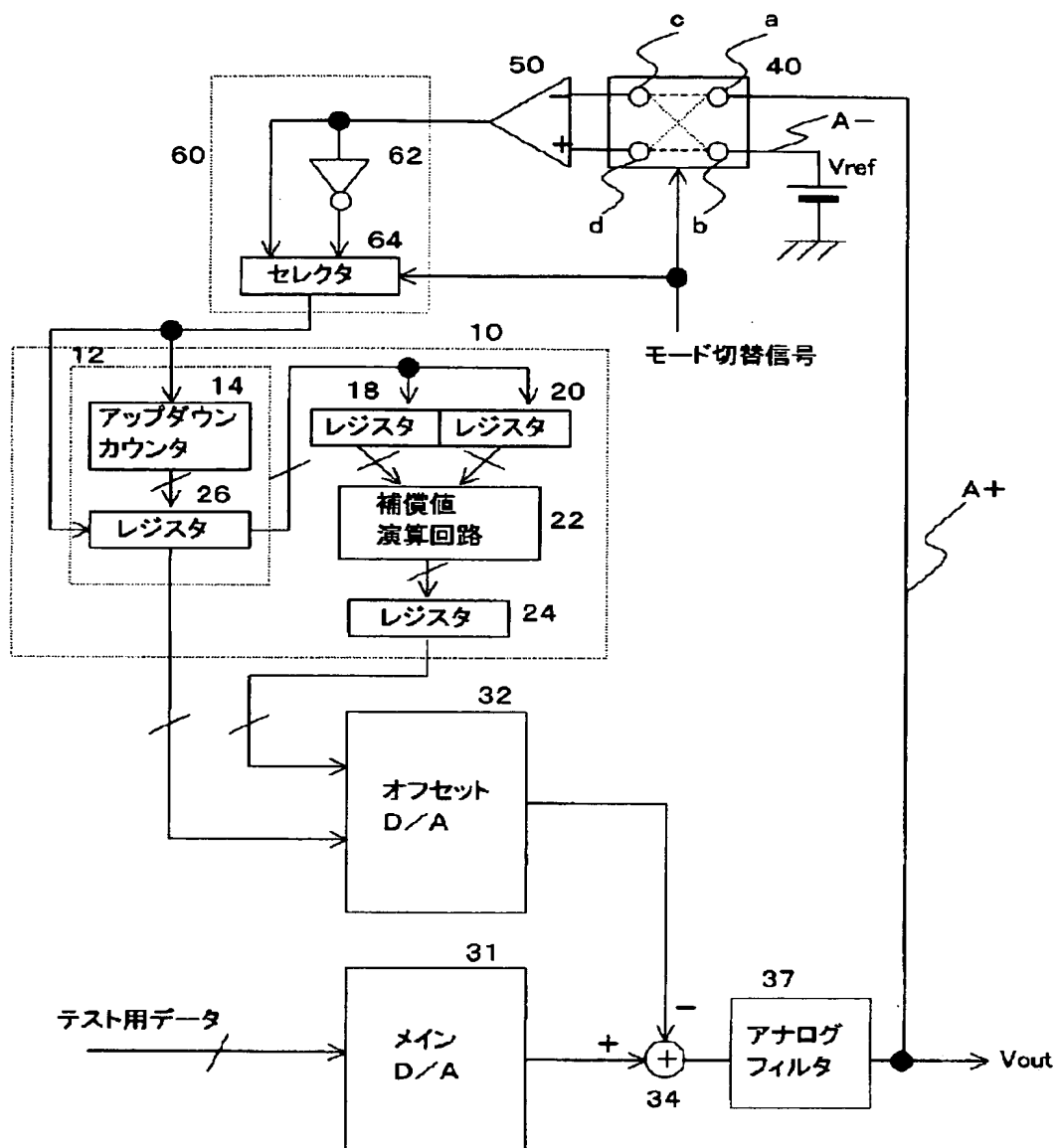




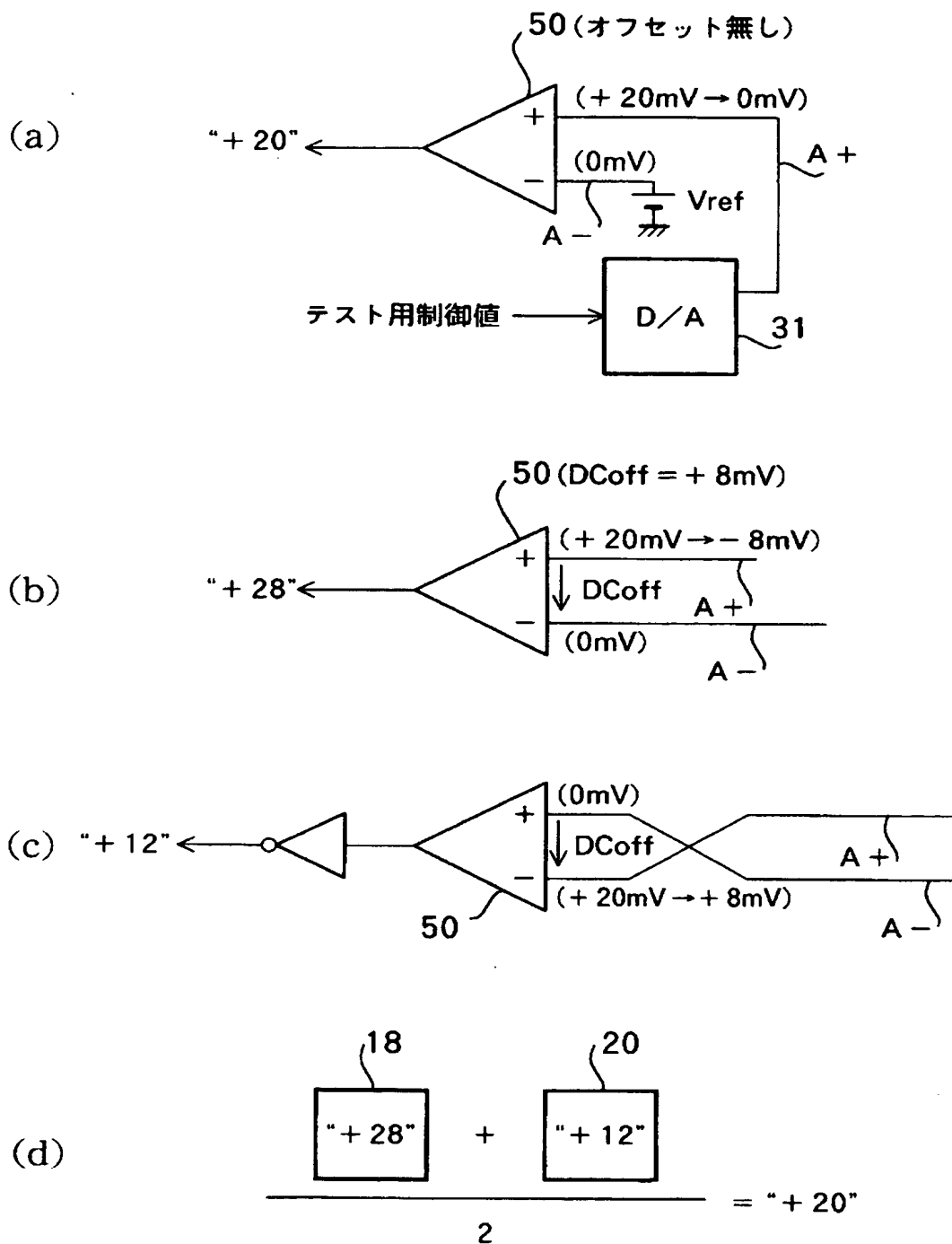
【図 10】



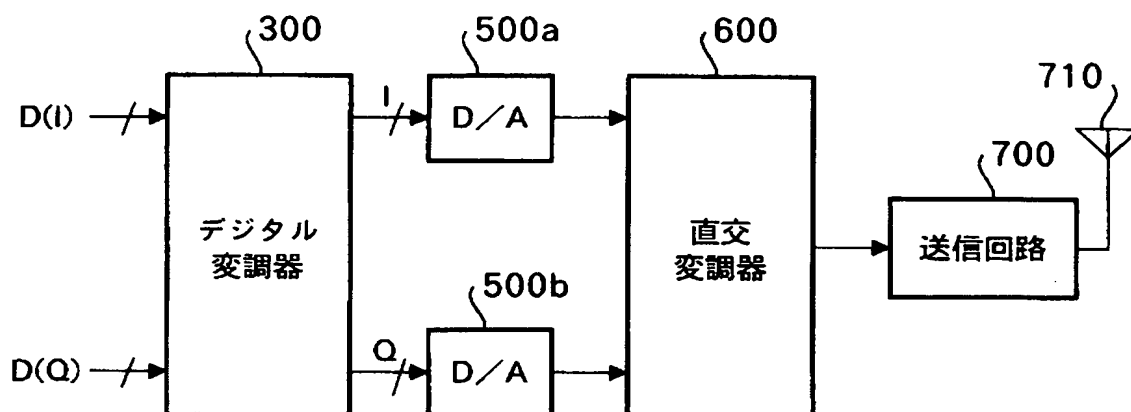
【図 11】



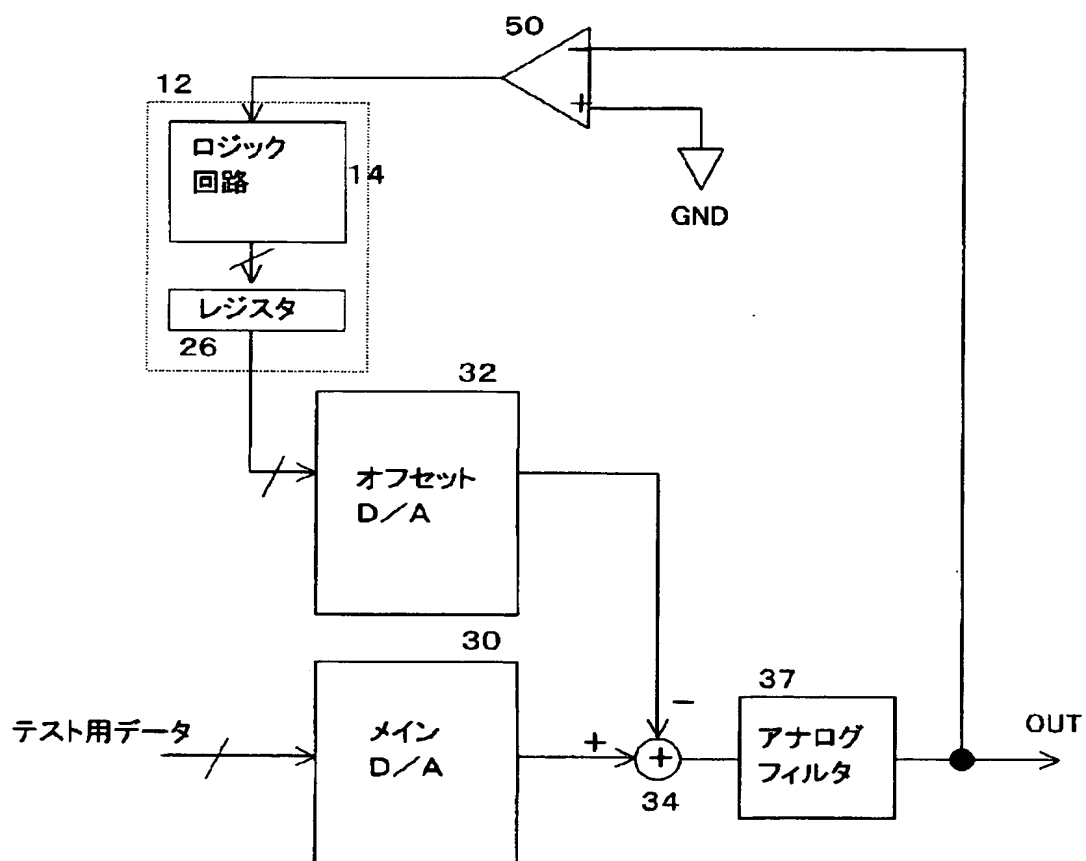
【図 12】



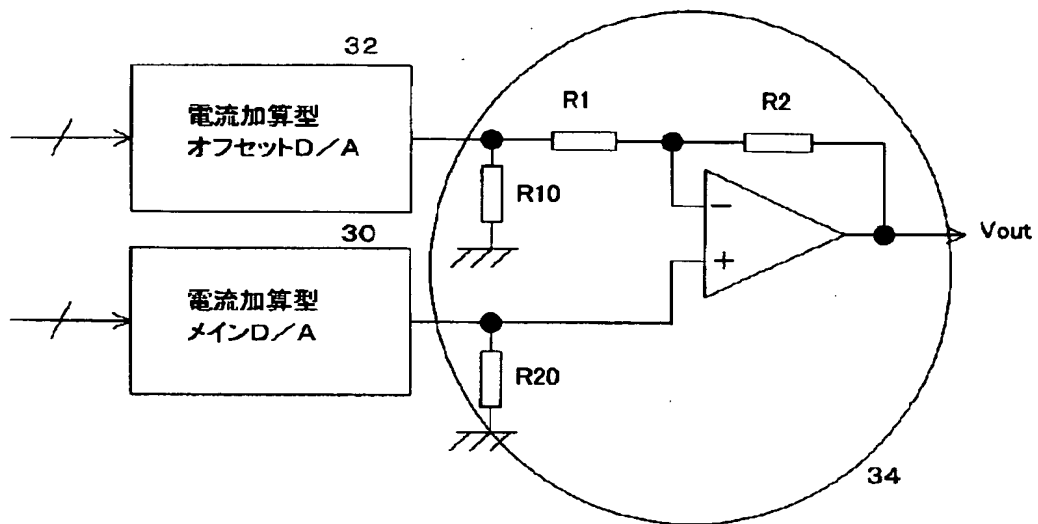
【図 13】



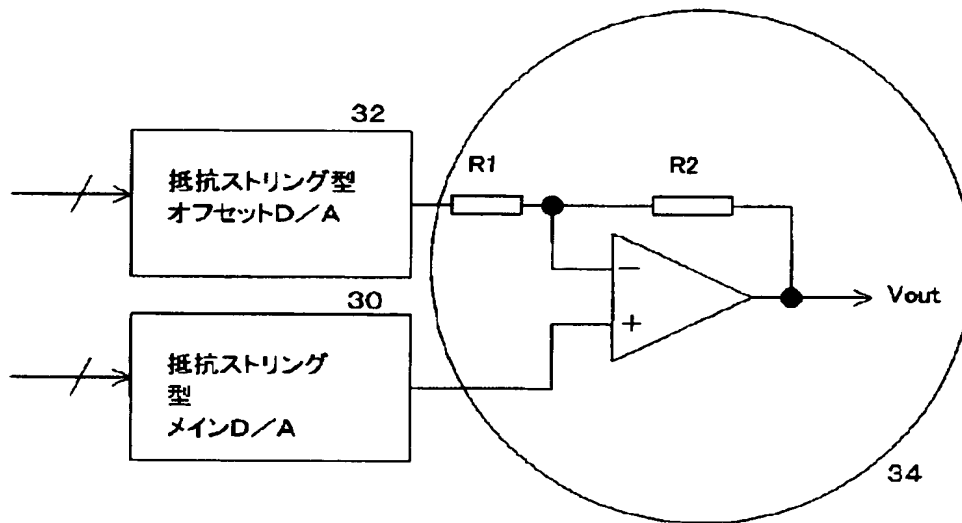
【図 14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 コンパレータにDCオフセットが存在しても、D/A変換器のDCオフセットをほぼ完全に除去する。

【解決手段】 D/A変換器30のDCオフセットを測定するコンパレータ50の前段に入力切替スイッチ40を設け、後段に極性反転器60を設ける。第1の補償値を補償値生成回路12により生成しレジスタ18に格納する。入力切替スイッチ40および極性反転器60を切り替えて第2の補償値を生成しレジスタ20に格納する。補償値演算回路22により第1および第2の補償値の平均をとって第3の補償値を算出し、この補償値を基にしてオフセット補償D/A変換器32を介して得られるアナログ出力電圧を、メインのD/A変換器30のアナログ出力電圧から引くことにより、D/A変換器30のDCオフセットを補償する。

【選択図】 図4